

Communication system with a two-wire serial backbone bus for connecting bridges to secondary three-wire buses.

Patent Number: ☐ [EP0390978](#)
Publication date: 1990-10-10
Inventor(s): HEUTINK FREDERICK HANS (NL)
Applicant(s): PHILIPS NV (NL)
Requested Patent: ☐ [JP2288530](#)
Application Number: EP19890200847 19890403
Priority Number(s): EP19890200847 19890403
IPC Classification: H04L12/40
EC Classification: [H04L12/40](#), [H04N7/15M](#)
Equivalents: ☐ [US5163048](#)
Cited Documents: [EP0269418](#); [EP0108692](#)

Abstract

In a bus communication system using a dual unidirectional bus (28, 30) linking a plurality of bridges (32) 34), all data from the second unidirectional wire (30, REVDAT) are echoed on a first unidirectional wire (28, CLK (FWDDAT) by a head end station (20). Signals on this first wire are bivalent and contain both clock and data information. A non-selfclocked binary value is transmitted on the second unidirectional wire with an arbitration method based on a wired logical functionality (wired OR, wired AND). A bridge (32) has clock separation means and transfers the extracted clock on a third wire (36) along with the unclocked data on a fourth wire (38). Any access module (42) may transmit its data on a fifth wire (40) connected to the bridge and can synchronously read the packets.

Data supplied from the **esp@cenet** database - I2

⑫ 公開特許公報(A) 平2-288530

⑬ Int. Cl. 5

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月28日

H 04 L 12/40
H 04 B 3/006866-5K
7928-5K

H 04 L 11/00 3 2 0

審査請求 未請求 請求項の数 14 (全13頁)

⑮ 発明の名称 バス通信システム

⑯ 特 願 平2-88105

⑰ 出 願 平2(1990)4月2日

優先権主張 ⑱ 1989年4月3日 ⑲ 欧州特許機構(E P) ⑳ 89200847.5

⑳ 発 明 者 フレデリック ハンス オランダ国 アインドーフエン フルーネヴァウツウエツ
ヒューテインク ハ 1㉑ 出 願 人 エヌ・ペー・フィリッ オランダ国 アインドーフエン フルーネヴァウツウエツ
ブス・フルーイランベ ハ 1
ンフアブリケン

㉒ 代 理 人 弁理士 伊東 忠彦 外1名

明 細 書

1. 発明の名称

バス通信システム

2. 特許請求の範囲

1. 第1ニレベル方向性媒体素子またはワイヤと、第2ニレベル方向性媒体素子またはワイヤとより成り、第1ワイヤに自己クロック二価情報パケットを送る再送信手段を有するエコーバッファ局とより成り、該情報パケットをその値に関して問い合わせる該クロックパルスの制御下において該情報パケットからクロックパルスを抽出するクロック抽出手段を有する少なくとも一つの周辺局と、該問い合わせの後に該第2ワイヤに自己決定型非自己クロック2進情報値を与える送信手段とより成り、該第2ワイヤは受信された2進情報値の制御下で総合2進情報値を提供するワイヤード論理機能を有し、該エコーバッファ局は、該エコーバッファ局からの該情報パケットの及び該2進情報値の該エコーバッファ局への最大予定伝送

時間よりも長い該送信についての所定の遅延で、そこで優勢な2進情報値を、次順の自己クロック二価情報パケットでコピーするために問い合わせる遅延手段を有する通信バスシステム。

2. 該所定の遅延は該最大予定伝送時間の2倍未満である請求項1記載の通信バスシステム。

3. 該所定の遅延は該最大予定伝送時間に実質的に等しい請求項1記載の通信バスシステム。

4. 該自己記録型情報パケットは、ヘッダ情報と、タイプ情報と、タイプパリティ情報と、データ情報と、データパリティ情報と、ステータス情報と、一対のジャムビットセルとより成る素子のシーケンスのビット関連要素である請求項1または2記載の通信バスシステム。

5. 少なくとも2つの周辺局があり、そのうちの少なくとも1つはヘッダ及びタイプ情報によりフレームを開始するフレーム表示手段より成り、後者はそれぞれが特定の周辺局または後者の周辺局内のアクセスモジュールに割当可能の一連のメッセージスロットを示す請求項1乃至4のうち一項

記載の通信バスシステム。

6. 少なくとも2つの周辺局があり、そのうちの少なくとも1つは少なくとも2つのアクセスモジュールと該第1及び第2ワイヤに直結されたブリッジ素子より成り、該ブリッジ素子はクロック信号を該自己クロック型二価情報パケットから抽出して、副クロック信号を第3ワイヤに、非自己クロック型二価情報パケットを第4ワイヤに出力するクロック抽出手段を有し、該第3及び第4ワイヤは問題の該ブリッジ素子に接続されたいずれのアクセスモジュールにも送信し、後者のアクセスモジュールは後者のブリッジ素子に、別のワイヤード論理機能を実現する条件下でこのブリッジ素子に該第2ワイヤへ送る夫々の特定2進情報値を送信するための第5ワイヤにより送信する請求項1乃至5のうち一項記載の通信バスシステム。

7. 裁定手段が設けられた個別スターベーション防止手段より成り、各アクセスモジュールは個別の順位番号とその実際の順位番号検出用の該第1ワイヤにより送られた順位番号検出手段とを有し、

の情報送信信号値インターバルを問い合わせ、該信号値を吸収し、そこで該第2ワイヤに非自己クロック出力信号値を生じさせるエッジ検出手段を有する請求項1乃至7のうち一項記載の周辺局。

11. 該第1及び第2ワイヤに接続され該エッジ検出器に基づいた抽出クロック信号を第3ワイヤに送るブリッジ局と、該二価情報パケットデータ内容に基づいたデータを該第2ワイヤ上の伝送用のデータを受信する第5ワイヤにより送られる第4ワイヤとより成る請求項10記載の周辺局。

12. 該第3、第4、第5ワイヤと並列に接続された複数のアクセスモジュールより成る請求項11記載の周辺局。

13. 該第1及び第2ワイヤ用、該第1ワイヤから入来するクロック信号用の第3ワイヤ用、該第1ワイヤから入来するデータ信号用の第4ワイヤ用、該第2ワイヤに予定される副データ信号を受信する第5ワイヤ用の接続部を有する請求項10乃至12のうち一項記載のブリッジ素子。

14. クロック信号受信用の第3ワイヤ接続と、該

裁定を勝ち取ったモジュールはそれがそれ自身よりも低順位の番号の優勢を検出するか、もしくは該第1ワイヤの空き状態を検出するまではそれ自身の順位番号を示そうと試みない請求項5又は6記載の通信バスシステム。

8. 循環的質問パルスを発生させる調節可能発振器素子と、該第2ワイヤにより送られる入力と、該発振器素子及び該入力により送られ質問パルスの制御下で少なくとも立上がりエッジと立下りエッジを有する情報パケットを発生させるパルス整形手段を有するパルス整形器と、該情報パケットの2進情報内容を決定する該質問パルスに関する該エッジのうちの少なくとも1つの、該第1ワイヤでの伝送用の時間的位置を有する請求項1乃至7のうち一項記載のエコーバッファ局。

9. 該発振器は該所定の遅延を該最大予定伝送時間に実質的に等しい値に調節する調節手段を有する請求項8記載のエコーバッファ局。

10. 該第1ワイヤにより送られる第2入力と、該情報パケットの基準エッジの制御下で該パケット

クロック信号により確認可能なデータ信号受信用の第4ワイヤ接続と、該クロック信号の受信の後に改訂する副データ信号からの第5ワイヤ接続を有する請求項10乃至12のうち一項記載の周辺局に使用されるアクセスモジュール。

3. 発明の詳細な説明

産業上の利用分野

本発明は同期メカニズムを設けられた2本のワイヤが延びる連続バス通信システムに係る。よく知られるVMEバス構成の実時間適用には、広範囲で多目的のI/Oシステムが必須である。かかるシステムの最大の機器構成は、VMSバスラックに配されるよりも多くの入力と出力を扱うことができる。VMEバスインタフェース論理及び背面の強力な機能と高い性能は、I/Oシステムでは通常必要とされず、したがってこれらを設けることの費用及び複雑さは無駄となる。相当数の入力及び出力が所望される場合には、連続構成が好ましい。

従来の技術

周知の連続バス構成は所謂VMSバスであり、これはスイス国、ジュネーブ、20, 1211, リュ、デ、バレンベ、3のIEC刊行の1986年12月1日、草案C2、IEC小委員会47B/28による「IEC821バスの連続バス」に説明されている。VMSバスの簡単な説明は第1a図及び第1b図について示してあり、これらの図はVMSバスの種々の面を説明している。

VMSバスは一方向性クロックライン及び両方向データラインを有する連続バスである。データ交換はデータラインの「フレーム」と呼ばれるユニットで発生する；別々のクロックラインがフレーム中の個々のビットに同期を与える。一般的なフレームはヘッダと、タイプコードと、データフィールドと、ステータスフィールドと、1個のジャムビットより成る。第1a図はその通常の形を示し、括弧内はその夫々のビット数である。ヘッダは開始ビットと、順位コードと、（データフィールド中のデータのソースと転送先をそれぞれ識別する）セNDERアドレス及びレシーバーアドレスと、2つの制御ビット（第1図のD/H）ー

方は1個以上のビットが選択された場合に「データセNDER」の行動を特定し、他方はヘッダを確認するーを有する。タイプコードはデータフィールドの長さを示す：すなわち0、1、2、4、8、16、32バイト、または「キャンセル」（つまり、「データセNDER」「データレシーバー」のいずれのデータバッファも現在得られない状態）である。ステータスフィールドはセNDERアドレスまたはレシーバーアドレスを認識するバス上のモジュールがあるかどうか、またそれらが必要な大きさのデータバッファを有するかどうかを表示する。ジャムビット（通常「0」）はモジュール間の誤ったフレーム同期を検出する：モジュールがフレームが進行中に開始ビットの発生を検出した場合、それは、可能なフレームのいずれのものより長い「1」の連続シーケンスを発生させる。全モジュールはジャムビット位置で「1」を認知し、フレームを拒否し、新しいフレームが開始する前でジャムシーケンスの終わりを待つ。

VMSバスはデータラインにより実行される「ワイヤードOR」機能に基づく分散裁定メカニズムを有する。特定のビット位置のデータラインへの「0」の配置を試み、データラインが「1」になるのを認識するモジュールは、裁定過程を失ったと判断し、バスから退く。かくて、複数のモジュールが同時に一つのフレームで開始した場合、最高位のモジュールのみが順位フィールドでの裁定に勝ち残る。この順位を有するモジュールが一個以上の場合には、最高のセNDERアドレスを有するもののみが裁定の次段階を生き残る。必要に応じてこれが続く。

単一のラック内では、VMSバスは背面の2つのトラックに沿って延びる：つまり、SERCLKとSERDAT*である。ここで、アスタリスクは反転信号値を示すものと理解される。背面は最高21ボードを有し、夫々は「アクセスモジュール」と呼ばれるVMSバスインタフェースを有する。最高32ラックが「延長VMSバス」によりリンクされる。このリンクはEIA RS-4

85基準に従って信号EXTCLK及びEXTDATを流す2本の捩れ伝送ラインより成る。「ブリッジ」素子は、EXTCLKをSERCLK、EXTDATをSERDAT*に変換するため、ラックが延長VMSバスに接続される全地点で必要とされる。ブリッジ素子は完全透過性である；アクセスモジュールはそれらが延長システムの中の部分に位置するかにかかわらず、裁定過程及びフレームの残りに参与しうる。

アクセスモジュールは、どのフレームも進行中でない場合にのみ新しいフレームを開始することができる。したがって、全モジュールは、それがフレームに能動的に参与しない場合でも、バス上の各フレームの進行を追跡しなければならない。全モジュールのこの「フレームモニター」機能が依然として正しく作用することを絶えずチェックするため、開始ビットは「1」及び「0」の両方から区別可能とされる。データラインのワイヤードOR機能についての開始ビットの「ブーメラ」値は「0」と「1」の間に存在する。つま

り：

「1」+「開始」=「1」；

「開始」+「0」=「開始」

この区別のため、VMSバスクロック信号はビットにつき4つの転換を与えられ、その転換は第1b図に名称がつけられている。C1-S1インターバルはC2-S2インターバルよりも長い一定の数であることが保証される。この差異は、適切なビット同期を維持するために全モジュールが実行しなければならない位相区別機能の基礎となる。

第1b図は背面についての信号を示す；延長信号は類似する。データ出力はC1とC2で変えられ、入力S1とS2でサンプリ化される。

VMSの利点

示されたシステムは以下のような種々の興味深い特徴と利点を有する：

—1023データセグメント（入力）及び1023データレシーバー（出力）のアドレスレンジ。このレンジは大規模なI/Oシステムにも充分であり、なお多数のアドレスを他のモードの移送一ス

あり、衝突の危険を全く伴わず、トークンの移行に時間をとることもない。かくて、たとえばその入力での変化状況を検出するように設計された入力ボードはこの情報をそれ自身のイニシアチブでCPUに簡単に送ることができ、CPUに割り込みリクエストを送ったりポーリングされるのを辛抱強く待ったりすることはない。

—他の便利な特徴は「リードフレーム」の構想である：CPUは入力ボードをポーリングするフレームを開始することができ、入力ボードは同一のフレームのデータフィールド中にそのデータを提供することができる。CPUからのリクエストフレームに続いて入力ボードからのデータを有するアンサーフレームがあるという伝統的かつ時間のかかる手続はかくて回避しうる。

VMSの欠点

さらなる調査の結果、種々の欠点も明らかとなった：

—データラインの両方向性は光ファイバとしての実施には不適切である。

—タスク及び制御メッセージ、同報通信、自己識別メッセージ、I/Oモジュール用内部再プログラミング情報を有するメッセージ等—のために取っておくことができる。

—多数のラックに延長することができる（最高32まで）；したがって、延長可能の論理アドレス空間は自由な地理的余裕と調和する。さらに、バスの連続性と延長バスの高品質は分散I/Oシステムの中核として適切である。

—簡単な背面と比較的に簡単で安いインタフェース論理しか必要とせず、低コストI/Oシステムが実現可能である。

—フレーム長は可変で比較的短い（最大32データバイト）；I/Oシステムに必要な迅速なアクセスと短時間の移送に便利である。極めて短時間の移送についてさえも、オーバーヘッドは禁止されない：33ビットである。

—分散裁定機構は、簡単なI/Oモジュールについても、かなりの程度の自主性を可能にする。フレームの期間中にバスマスタになることは簡単で

—適当なビット同期を維持するための各モジュール上に必要なクロック移送弁別器はI/Oボードの複雑さを増大させる。

—VMSバス用の現行のLSIサポートはシグネティックスコーポレーションにより独占的に製造される一組の2個の特殊集積回路の形式をとる：一つ（SCB 68173）はフレームプロトコル用、もう一つ（SCB 68171）はクロック位相判別用である。これはVMSバスの適用をIC製造業者の供給方針に対して脆弱にするものである：各ボードレベルの生産物は両（出所を一にする）ICの継続性に依存する。

—単一背面機器構成では、バスタイミングは非常に詰まっており、高速度で高電流のドライバを必要とする。かかるドライバの電磁干渉放射レベルは益々厳しくなるEMC基準と相容れないと思われる。

—延長VMSバスでは、ビットタイムは片道移動時間の約20倍に等しくなる。対照的に、プロトコル及び裁定メカニズムについては理論上のビット

トタイムは片道移動時間の2倍を超える必要はない。この伝送容量の「浪費」は、理論上のビット速度でさえも衝突検出またはトークン移動に係るプロトコルに可能なビット速度よりも計数10またはそれ以上に遅いという事実に鑑みると、特に苦しいものとなる。

—VMSバスでは、データの完全性を確実にし伝送エラーを検出することは最小とされる。延長バスで満たされたRS-485基準が電磁干渉に対し相当に強力であったとしても、データ完全性についてのチェックの基本的性質は、バスで耐雑音性を与えるためにとられる手段の有効性においては盲目的信用に等しい。また、EXTDATラインの両方向性はファイバーオプティックスの適用、ひいては最適な耐雑音性の獲得を困難ないしは不可能にする。

—16ビットI/Oボードへ向けたまたはそれからのデータ移送につき、33ビットオーバーヘッドは可能なデータ速度の3分の2の実効損失を意味する。伝統的I/Oシステムでは、従来型平行バ

スは考え得る1/0移送に十分な速度を有していた。しかし、連続バスにより、移送速度は適用するものによっては充分でない可能性が出てきている。計数3の速度損失は、VMSバスを使用できない1/0適用の確率を相当に高めることを意味する。対照的に、他の適用については、重要なのは速度ではなく、最大時間内にアクセスを確実にする能力である。つまり、個々のスターベーションは防止されなければならない。VMSバスの順位メカニズムは、たとえ公式の仕様書に示された実施がなされたとしても、この目的を達することはできない。

発明の概要

本発明の目的はとりわけ、公式VMSバス仕様に対していくつかの比較的小さい—しかし広範囲の—変更を加えることにより、また該仕様にいくつかの追加規則—とりわけ伝送速度を計数10だけ上昇させること—を加えることにより、有利な特徴を失わずに上記の欠点を除去することにある。

その一側面によると、第1ニレベル—方向性媒

体素子またはワイヤと、第2ニレベル—方向性媒体素子またはワイヤとより成り、第1ワイヤに自己クロック二価情報パケットを送る再送信手段を有するエコーバッファ局とより成り、該情報パケットをその値に関して問い合わせる該クロックパルスの制御下において該情報パケットからクロックパルスを抽出するクロック抽出手段を有する少なくとも一つの周辺局と、該問い合わせの後に該第2ワイヤに自己決定型非自己クロック2進情報値を与える送信手段とより成り、該第2ワイヤは受信された2進情報値の制御下で総合2進情報値を提供するワイヤード論理機能を有し、該エコーバッファ局は、該エコーバッファ局からの該情報パケットの及び該2進情報値の該エコーバッファ局への最大予定伝送時間よりも長い該送信についての所定の遅延で、そこで優勢な2進情報値を、次順の自己クロック二価情報パケットでコピーするために問い合わせる遅延手段を有する通信バスシステムを提供するという点において、本発明は上記の目的を達成する。

本発明はまた、上記の通信システムに用いるエコーバッファ局、周辺局、ブリッジ素子、アクセスモジュールにも係る。

本発明の他の利点は、夫々の従属請求項において列挙されている。

構成説明

まず、本発明の使用の便宜のため、VMSシステムについての一連の構成的変化を以下に示す。まず第一に、起こりうる偶発的送信エラーの検出のために数個のビットがフレームに加えられ、偶発的送信エラーによるモジュールの誤動作を確実に防止するために数個の規則がモジュールの動作要件に加えられる。これらの規則はまた、送信エラーがシステムの一部のみに及んだ場合であっても、I/Oシステム全体が不変であるようにする。すなわち、送信エラーを検出しフレームを拒否するモジュールがあっても、送信エラーを検出なかったものを含むその他のモジュールは、この拒否を感知すべきである。

VMSバスの特殊な性質のために、この自明の

事実を明らかにしておく必要がある。一つのフレームの異なる部分は異なったモジュールによる作用を受ける。ヘッダは「ヘッダ・セクター」、タイプコード及びデータ及びステータスの一部は「データ・セクター」、残りのステータスは「データ・レシーバー」により作用される。結果として、完全なフレームの形を前もって認識するモジュールはなく、正しいフレームにとって適切なパリティビット値を計算できるモジュールもない。

ここで変化として、パリティビットは第2図に示される二ヶ所に加えられ、当初1個であったジャムビットは倍加される。フレーム構成は望ましくはある特定の周辺局に割り当てられる。実際の機器構成においてはこれは中央処理装置であり、周辺局という語はここでは通常のエコーバッファ局に対する区別を示すものである。この中央処理装置はヘッダアイテムもタイプアイテム（及びタイプパリティ）も発生させる。データは勿論、通信に参与する周辺局により発生する。ここで、フレームに能動的に関与する周辺局またはモジュール

ルが送信エラーを検出したことが確実な場合は、常に、それはジャムシーケンスを生じさせ、全モジュールがフレームを拒否するようにし、必要な場合にはフレーム同期を再生させる。ジャムビットの倍加は多くのエラーカテゴリーを回避することが知られている。

上述のような送信エラーの多目的修復手続きが導入され、同時にフレーム間の1と0の任意の順序（当初のVMSバス仕様では許容されている）が抑止されると、誤った開始ビットを別々に検出する必要はなくなる。したがって、特殊開始ビットの必要もなくなる。「長」及び「短」パルスをも有する複雑なクロック信号は従来のクロックに回帰させられる；特殊開始ビットは「通常の」1及び0より成る開始ビットにより置き換えられる。送信エラーを免れまたジャムシーケンスを正しく取り扱うため、一個の「1」でないコードが必要とされる。第3図に示される如く、データ出力はC転換で変わり、入力S転換で抽出される。データ信号は可能な開始コードの例を示す。

これら変化の結果として、以下が達成される。
- 個々のモジュールはもはやクロック位相弁別器を必要としない。

- バスへのインタフェースは2個でなく1個の特殊なICしか必要とせず、製造業者の供給方針への気遣いを軽減し、応用志向の設計者がそのASIC（応用志向集積回路）アプローチにつき決定する際の限界点を低くする。

- 単一背面構成においては、バスタイミングは同一のビット速度を維持しさらにはビット速度を幾分増大させつつ、緩和される。かくて、干渉の放出レベルを減少させるために何らかのスローブコントロールが導入されたり、及び／又は、ASIC設計を容易にするために、緩和されたタイミングがモジュールに伝えられる。

- 延在バスでは一方向移動時間の2倍である最少限度に極めて近いビットタイムが得られる；上記の安全率2は非常に良好な安全余裕に帰する；2、30パーセントで充分であろう；（実質的均一性が実用的なことが多い）。これら3つの場合

の夫々において、ビット速度は（同一の機器構成で）従来技術のそれを相当に上回ることになる。- 送信媒体の品質は継続的に監視される。しかし、システムの不変性は1ビットエラーについてしか保証されないため、送信媒体の品質はマルチビットエラーの可能性を無視できるほど小さくするのに十分な程度でなければならない。これらの条件下で、データの完全性が確保される。

追加規則

モジュールにつき極めて少ない数のビットを伴うデータ伝送におけるオーバーヘッドの不利な条件を軽減するために、「スロット応答」原理が導入される。フレームのデータフィールドは複数のスロットに分割される。中央処理装置により可変または不変フォーマットで発生させられたヘッダ及びタイプコード情報から、周辺局またはアクセスマジュールはそれが現行フレームに参与するよう選択されるかどうか、もしそうであれば、データフィールドのどの部分にそれがスロットを発見できるかを計算する。たとえば、タイプ情報は

スロットの数を特定し、全アクセスモジュールは特定のスロット番号を割り当てた。1スロットフレームでは、モジュールはそれが特にアドレスされるまで待機しなければならない。その割り当てられたスロットが通ると、モジュールはデータその中に蓄積したりそこから引き出したりする。フレームのデータフィールドが最大の大きさを32バイトを割り当てられたとすると、16個の16ビットモジュールがこのフレームに参加することができ、効果的なデータ速度は30%から約87%まで増大する。第4a図及び第4b図を参照するに、第4a図は $16/53=30\%$ のようなフレームについての単一1/0ボードについてのデータ効率を示す。第4b図は $16 \times 16/293=87\%$ のような1フレームにおける16の1/0ボードの場合についての「スロット応答」を通じた効率での利得を示す。ここで、ヘッダは3ビット開始コードを備えていると想定される；タイプコードはパリティビットを有する；トレイラー（TR）はパリティビットと、ステータスフ

ィールドと、2個のジャムビットより成る。

個々のスターベーションを防止するため、以下の規則が公式化される：裁定を勝ち取ったばかりのモジュールは、下位のフレームの発生を検出するか、もしくはバスがアイドルであることを検出するまでの間は、新しいフレームへの試みを開始しない。この規則の結果として、固定されていると想定される特定順位レベルのモジュール全ては、交替する。特定順位レベルでの各交替中に、低順位の1フレームにつき空間が得られる。この低順位レベルでのモジュールも全て交替し、なお低順位のモジュールに空間を残す。これは全モジュールが少なくとも一交替するまで続く。高順位のモジュールは低順位のそれらよりも多くの交替を経験するであろう；各モジュールのアクセスタイムは決定的であり順位レベルに指数的に依存する。

例として、アドレス5、4、3、2、1と各順位レベル2、2、1、1、0を有する5つのボードを考えてみる。すべてのボードが間断なくデータを伝送したいとする。上記の規則の下でそれら

実施例

第6図は本発明による通信システムのブロック系統図である。本システムの中心は2本のワイヤが延びる連続バス28/30である。一方向性バスワイヤ28は組合せクロック及び順方向データ信号を流し、一方向性バスワイヤ30は逆方向データ信号を流す。ここでの一方向性とは問題のバスワイヤが単一の送信局を有するか、もしくは単一の受信局を有することを意味する。組み合わせで採用された2本のワイヤは勿論、複数の送信局も複数の受信局も許容する。バスは一方で機能上受動的なエコーバッファ局20に取り付けられる。

他方、それはそのうちの一つがブラックボックス53として示された周辺ラックまたはキャビネット局に接続される。さらに、かかるラックまたはキャビネット局は物理的に別々のアクセスモジュール42、44、52、54に細分される。連続して延びるバスとブラックボックスのインタフェースはブリッジ素子32、34で表される。ラックまたはキャビネット局中での相互接続手段は3ワイヤ連続である。そこにおいて、ワイヤ36、46はクロック信号を送り、38及び48は順方向データ信号を送る。ワイヤの対36/38または46/48はかくて協働ブリッジ素子32、34へのワイヤ28で現れる信号と適合する。

最後に、ワイヤ40、50は逆方向データを送る。夫々のキャビネットまたはラック局によりそのブリッジ素子32、34を介して与えられた逆方向データは以下に説明する如く、バスワイヤ30上の逆方向データと結合する。エコーバッファ局20内部で、エコーバッファ26はワイヤ30上の夫々の信号要素を受信する。その出力は同様

に、ワイヤ28に送信する。クロック素子24は素子26と並列であり、これもバスワイヤ28に送信する。エコーバッファ局の表示は回路に関してではなく、機能に関してなされている。回路に関しては、以下に第8図について詳述する。

示された構成はラックまたはキャビネット局の数もしくはかかる局内でのアクセスモジュールの数に拘束されない。特に、アクセス局は作動局、測定局、及びモジュール間通信機能を必要とするその他の局でよい。それらは、必要な程度の複雑さの局地的データ処理・データ蓄積・データ表示設備を有する。原則として、1またはそれ以上のかかるアクセスモジュールは別の相互通信バスシステムへのインタフェースとして機能する。さらに、数個のアクセスモジュールはサブセットとして自動装置または複雑な測定装置のような一使用者機能についての送信要件を満たすよう、組合せて機能する。

第7図は第6図のシステムで生じる種々の信号のタイミング図である；ここで、実際の通信は一

の従来型電子回路機構によりなされる。ガルバニックワイヤリングによる実現では、勿論信号レベルは、ワイヤードORからワイヤードAND構成への切換えと組み合わせで、反転させることができる。かかる切換え自体は、伝統的なものである。

ここで、トレース68は通常ローすなわちオフである。その情報部は2つの部分67、69より成る。部分67は初めはハイで同期上昇エッジを示す。論理ゼロについて部分69はローであり、部分67と69の間に下降エッジを作る。論理1については部分69はハイであり、その終端近くで下降エッジを作る。さしあたり、このビットセルに含まれる情報の出所は無視される。

該ブリッジ素子は内部遅延 t_{fb} を有し、これは当初のトレース68の遅延された型であるがその他は不変である70が内部で得られるようにする。ブリッジ素子はたとえば変圧器または電気-光学及び光学-電気変換との光結合により生成されたガルバニック分離素子より成る。該遅延はスパイク等を緩和するフィルタ機能により起こされ

対一または一対多と想定される；複数のソースから発した信号の裁定または信号合成は無視される。種々のトレースにおいて、トレース68はブリッジ素子のうちの一つでワイヤ28に到達した特定のビットの信号形を示す。本実施例では、バスワイヤ30、40、50はトレース76、78、80上でワイヤードOR機能の実現を可能にする。すなわち、能動的、1、または高い信号化を生じさせる信号源は、同じワイヤでの他のいずれかまたは全ての信号源により、同時発生の受動的、0、または低い信号化を不明瞭にする。原則として、連続して延びるバス28/30は光ファイバ技術またはガルバニックワイヤ技術において実現される；3本ワイヤ連続バス36/38/40及び46/48/50にもこれが適用されるが、ここではガルバニックワイヤが最適と思われる。光学におけるワイヤードORの実現は、発生した光がその存在で暗状態を終了させる限りにおいては、伝統的なものである；ガルバニックにおいては、ワイヤードORの実施はカソードホロウ手段及び他

る。適用において、特に入力信号が光学的である時には、フィルタは必要でなく、光学-電気変換がありさえすればよい。上記に加え、後置フィルタ信号の前縁で固定遅延 t_{sb} がビットセルの2つの情報内容間の区別を最適化するために開始する。小遅延 t_{10} の後、これは(トレース72を)データワイヤ38、48上での更新データ値に換算する。幾分長めの遅延の後、クロックパルス(トレース74)がクロックワイヤ36、46上で t_{12} の長さで発生する。このクロックパルスの初めでは、アクセスモジュールはライン38、48で受信した「古い」データビットを取り入れる。該クロックパルスの終わりでは、「古い」データビットは終了したものとみなされ、短いインターバル(t_{13})の後に、トレース76で示される如く、該アクセスモジュールは場合によりライン40、50上で更新されたデータビットを発生させる。後者の更新データビットは該ブリッジ素子の背面入力で受信される。アクセスモジュールにより発生させられたデータビットの値は、よ

り高次の構成を想定する場合を除き、最新受信データビットの値にビット毎の関係はないことに注目すべきである。

さらにまた短いインターバル t_{14} の後、信号変化はブリッジ素子の前面出力で逆方向データワイヤ 30 に伝送される (78)。延在する連続バス 28/30 はかなり長く、エコーバッファ局へ戻る伝搬遅延は 5 ns / メータバスの長さになる。後者の表示の不正確さ及び可変性を別にすると、周辺局からエコーバッファ局への幾何学的距離は相当に変化しうる (トレース 80)。ライン 30 における信号変化は、ある程度のフィルタリング遅延の後、トレース 82 で示される如くエコーバッファ局 20 内で問い合わせ可能となる。トレース 84 はエコーバッファ局 20 の内部動作の例を示す：これはクロックパルスである。クロックパルスは内部発振器により発生させられ、トレース 86 では上述のビットセル形を生じさせるものとして示される。クロックパルスの上昇エッジ (後方エッジ) がトレース 82 での転換より少なくと

も t_{5uhe} のインターバルだけ遅いとする、この転換は順方向データセルでコピーされ、これはトレース 86 で t_{dhe} のインターバルの後に現在または過去の転換に換算される。後者の転換 (またはその欠如) はビットセルを完成し、信号は比較的長いインターバルの後にそれぞれのブリッジ (トレース 68) に移送される。その時点で、サイクルが再開する。トレース 86 での情報制御された転換の後まもなく、トレース 80 でのさらなるデータ転換を行っても差し支えない。クロック (トレース 84) の再現は、逆方向信号の戻りについての最長遅延は上昇クロックエッジ (誤差遅延 t_{5uhe} を含む) の前に生じるようにしなければならない。必要な場合には、クロック周波数は結果が得られるように調節すべきである。

種々のサブシステムの説明

第 8 図は第 6 図の構成に用いるためのエコーバッファ局のブロック系統図である。逆方向データは入力 100 に入来する。ブロック 102 は適用可能な場合のガルバニック絶縁及びフィルタリン

グを示す。その出力はデータフリップフロップ 104 へ送信し、該フリップフロップは遅延 106 の中央タップからの信号の制御下で、サンプル化を行う。該遅延は可調節発振器 108 により送信を受ける。発振器 108 の直接出力と、フリップフロップ 104 からのサンプル化されたデータと、遅延 106 からの反転出力 (反転素子 110) はゲート 112 で AND 演算される。素子 114 はファンアウトの都合上出力バッファである。第 8 a 図は関連するタイムトレース (実際は第 7 図の抜粋) である：発振器 (108)、遅延出力 (106)、中間タップ (106½)、サンプルデータ (104)、出力データ (114)。

第 9 図、第 9 a 図、第 9 b 図はブリッジ素子の回路構成と時間系統図を夫々示す。入力 120 はクロックと順方向データを受信する。素子 122 は適用可能な場合にはガルバニック絶縁及びフィルタリングである。素子 124 は 3 つの出力 124/0.8, 124/0.9, 124/1.0 を有する遅延素子であり、後につけ加えられている

のは夫々の関連する端数の遅延を示す。第 1 出力はブロック 122 の出力信号のサンプリングを制御する。サンプルはフリップフロップ 126 に記憶され、出力ライン 130 (38、48) に行く前に背面ドライバ 128 により緩衝作用を受ける。出力 124/0.9, 124/1.0 は、後者は反転 125 を介して、ゲート 129 で AND 演算され、出力 133 (36、46) へ行く前に背面ドライバ 131 で増幅される。接続部 134 での逆方向背面信号はガルバニック絶縁 136 と延在バスドライバ 138 へ送信する。第 9 b 図では、トレース 120 はクロック及びデータ信号であり、トレース 122 は前置遅延の後であり、トレース 126 はサンプル時を示し、トレース 130 は背面クロックである。

第 10 図、第 10 a 図はそれぞれアクセスモジュール回路構成及びその時間系統図である。順方向データ 140 は背面クロック信号 142 の制御下でデータフリップフロップ 144 においてサンプル化される。データフリップフロップ 144 の

内容は該アクセスモジュールの内部論理146にて特に指定しない目的に用いられ、出力の結果は反転背面クロック（インバーク150）の制御下でフリップフロップ148にてサンプル化される。最後に、ドライバ152が設けられる。第10a図では、トレース154は背面クロックを示し、トレース156は順方向データであり、トレース158は逆方向データである。データ内容は適用により決められ、特に与えられていない。

上記のサブシステムの説明は、ビットレベルに限定されてきた；簡潔を期すため、より高次レベルの例示はなされていない。一般的エコーバッファ局、ブリッジ局、アクセスモジュールについては、これらの例示は送信機構自体には関係せず、本発明の範囲外にあるものである。スロット応答機構の場合においては、各周辺局または該アクセスモジュールは、タイプアイテムによりロードされたスロット計数手段より成り、該計数手段はまた、カウントにより、該スロットが周辺局もしくはアクセスモジュールに適當か否かを示す。メッ

ッセージフォーマットを制御する局については、ヘッダ及びタイプアイテムはアドレス可能メモリから読み取られ、受信されたデータに関する計数機構はマルチソースメッセージの場合には該データアイテムの起点を直接表示する。この計数機構の最終位置は第4a図、第4b図でのフレーム終端アイテムTRを起動する。

4. 図面の簡単な説明

第1a図はVMSバスの普通のフレーム形を示す図、第1b図はVMSバスクロック信号を示す図、第2図は本発明で用いる変形フレーム形を示す図、第3図は本発明で用いる変形クロック／データ信号を示す図、第4a図及び第4b図はそれぞれ1フレームにおける1ボード及び16ボード構成を示す図、第5図は3つの優先順位レベルでの6個のモジュール間での送信順序を示す図、第6図は本発明によるシステムブロック系統図、第7図はかかるシステムで発生する種々の信号のタイミング図、第8図は本発明で用いるエコーバッファ局のブロック系統図、第8a図は関連するタイムト

レースを示す図、第9図はブリッジ要素用の順回路構成を示す図、第9a図はその逆回路構成を示す図、第9b図は関連するタイムトレースを示す図、第10図はアクセスモジュール回路構成を示す図、第10a図は関連するタイムトレースを示す図である。

20……エコーバッファ局、24……クロック素子、
26……エコーバッファ、28、30、36、38、
40、46、48、50……バスワイヤ、32、34……ブリッジ素子、42、44、52、54……アクセスモジュール、53……ブラックボックス、100、120……入力、102、122、136……絶縁、104、126、144、148……フリップフロップ、106……遅延、108……発振器、110……反転素子、112、129……ゲート、124……遅延素子、128、131、138、152……ドライバ、130、133……出力ライン、134……接続部。

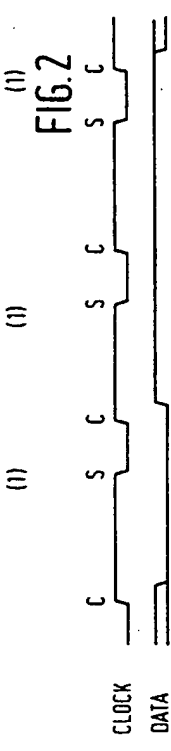
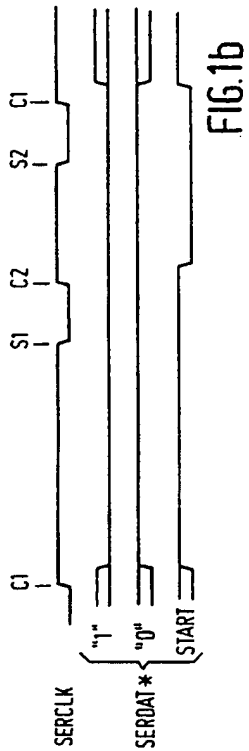
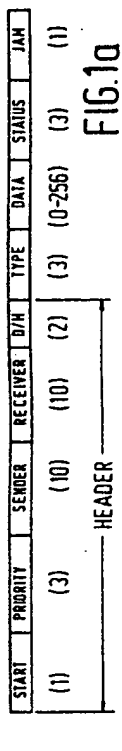
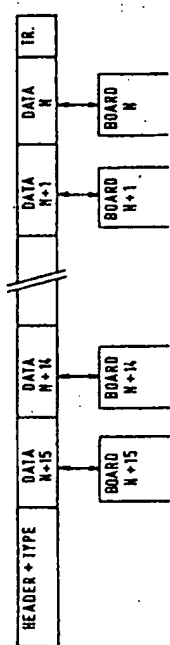


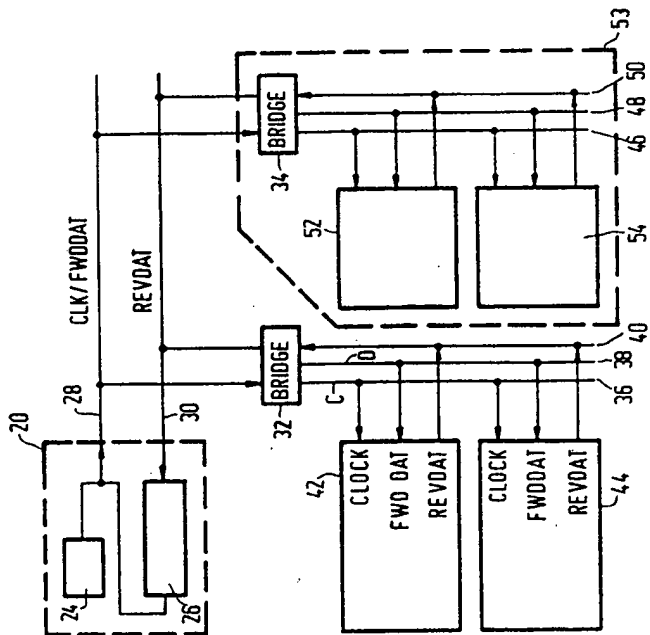
FIG.3

FIG.4a



PRIORITY LEVEL	TRANSMISSION SEQUENCE
2	5 4 - 5 4 - 5 4 - 5 4 - 5 4 - 5 4 - 5
1	3 2 - 3 2 - 3
0	1 - *

FIG.5



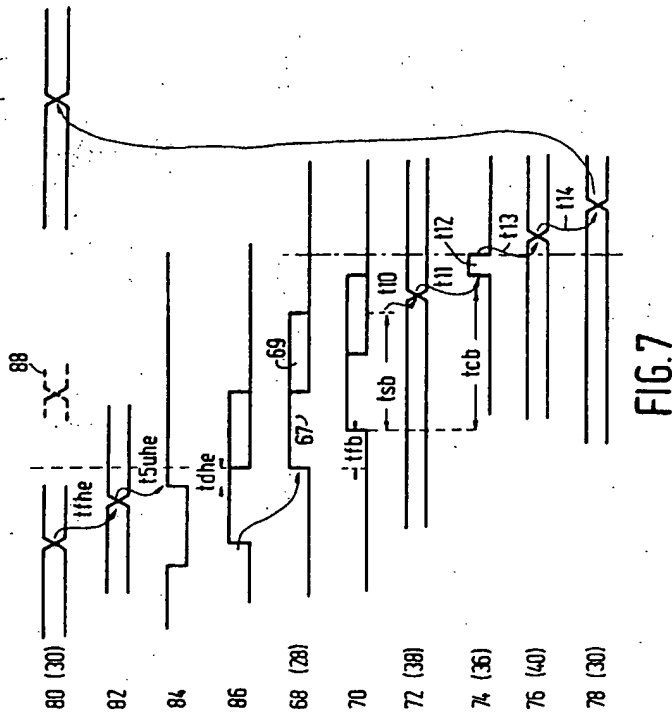


FIG. 7

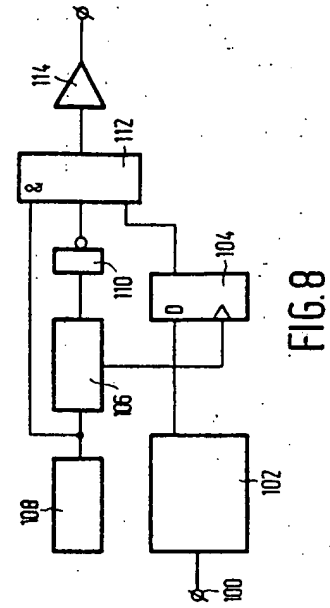


FIG. 8

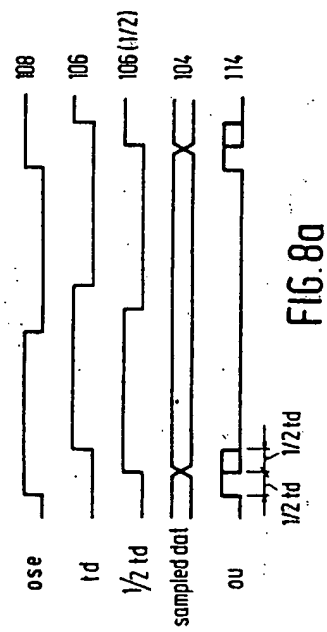


FIG. 8a

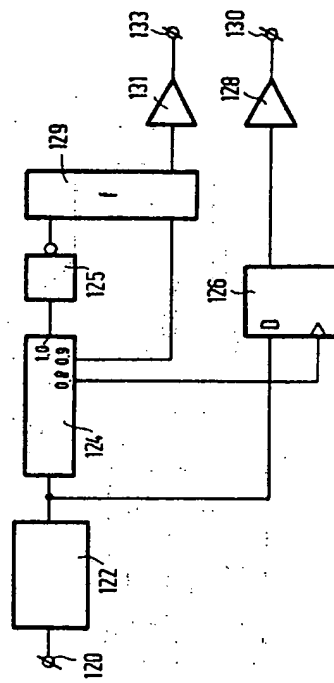


FIG. 9

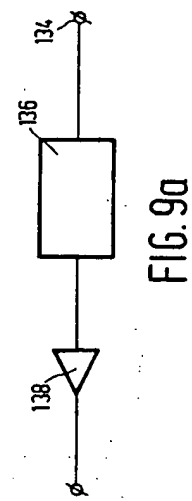


FIG. 9a

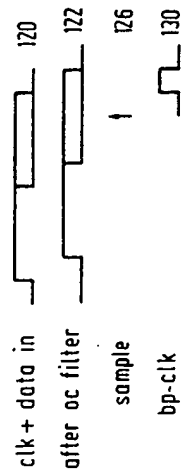


FIG. 9b

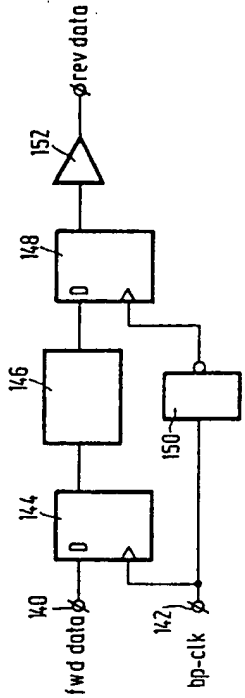


FIG. 10

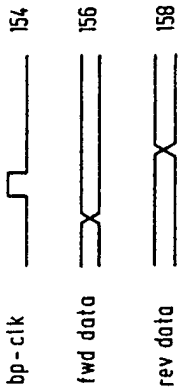


FIG. 10a